

④ 대 한 민 국 특 허 청 (KR)  
 ④ 공 개 실 용 신 안 공 보 (U)

① InL CL<sup>o</sup>  
 H 01 L 21/56

제 716 호

④ 등록일자 1991. 1. 3  
 ④ 출판일자 1992. 6. 10

① 공개번호 94-1979  
 ① 출판번호 92-10286  
 신사장구: 없음

④ 고 안 차 빠 즈 수 서운독변시 강남구 역삼동 현대빌라 107-202

④ 출판인 금성일렉트론 주식회사 대표이사 문 경 은

충청북도 청주시 팀정동 50번지

④ 대리인 면허사 박 장 원

(전 2 단)

④ 반도체 패키지

④ 요 악

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 패키지에 있어서 반도체 칩이 부착 고정되는 리드 프레임의 제들과 상기 칩에 와이어 본딩되는 다수개의 외부연결 리드가 패키지의 저면으로 노출되도록 리드프레임의 상부쪽은 예특시 몽팅 워파운드로 몽팅하여 구성한 것이다.

즉 리드 프레임은 기준한 상부쪽은 예특시 몽팅 워파운드로 몽팅하고 하부쪽은 제들로서 인텔슬리브이션 역할을 하도록 함으로써 패키지의 전자적인 두께를 보다 작게하여 경량화에 기여하고, 신장률을 보다 높일 수 있다는 효과와 아울러 포인트성이 저거되는 등 치조공정이 단순화되며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

## 실용신안 등록청구의 범위

1. 반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 티드 프록시의 층(12)과 상기 칩(11)이 와이어 본딩되는 다수개의 외부연결 티드(13)가 패키지의 저면으로 노출되도록 티드 프록시의 상부측면에 티드(13)를 몰딩하여 구성함을 특징으로 하는 반도체 패키지.)

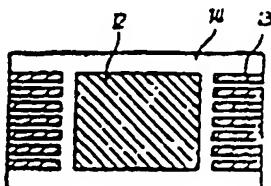
2. 제1항에 있어서, 상기 티드 프록시를 그의 패들(12)과 외부연결 티드(13)가 수평상태로 형성되거나, 또는 패들(12)을 들어올린 엉-净资产으로 형성함을 특징으로 하는 반도체 패키지.

\* 참고사항: 최초출원 내용에 의하여 공개하는 것임.

## 도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지의 구조를 보이는 도면으로서, 제3도는 42도의 기면도, 제4도는 본 고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제3도



제4도

